



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2009-0033366  
 (43) 공개일자 2009년04월02일

- |  |  |
|--|--|
| <p>(51) Int. Cl.<br/> <i>H01L 23/495</i> (2006.01)</p> <p>(21) 출원번호 10-2009-7001312<br/>                 (22) 출원일자 2009년01월21일<br/>                 심사청구일자 없음<br/>                 번역문제출일자 2009년01월21일<br/>                 (86) 국제출원번호 PCT/IB2007/002299<br/>                 국제출원일자 2007년06월05일<br/>                 (87) 국제공개번호 WO 2008/012678<br/>                 국제공개일자 2008년01월31일<br/>                 (30) 우선권주장<br/>                 11/459,557 2006년07월24일 미국(US)</p> | <p>(71) 출원인<br/>                 스태츠 칩팩 엘티디<br/>                 싱가포르 768442 5 이션 스트리트 23</p> <p>(72) 발명자<br/>                 도병태<br/>                 싱가포르, 싱가포르 596745, 시그네취 파크,<br/>                 #06-09, 토호 턱 로드 54<br/>                 쿠안, 프란시스 힙 호에<br/>                 싱가포르, 싱가포르 600274, #10-125, 토 구안 로<br/>                 드, 비엘케이 274<br/>                 초우, 생 구안<br/>                 싱가포르, 싱가포르 760131, #07-243, 이션 스트<br/>                 리트 11, 비엘케이 131</p> <p>(74) 대리인<br/>                 이만재</p> |
|--|--|

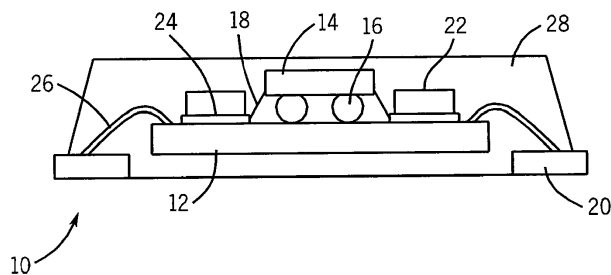
전체 청구항 수 : 총 24 항

**(54) 상승 다이 패들을 갖는 리드 적층형 패키지**

**(57) 요약**

반도체 패키지는 리드프레임, 리드프레임상에 인가된 상승 다이 패들, 반도체내 제 1 다이를 지지하기 위한 상승 다이 패들의 하면에 부착된 제 1 다이 및 제 1 다이에 부착된 제 2 다이를 포함한다. 반도체 패키지의 제조 방법은 하부 리드와 상승 다이 패들 구조를 갖는 리드프레임을 제공하는 단계, 반도체내 제 1 다이를 지지하기 위한 다이 접착제(die adhesive, DA)를 이용해 상승 다이 패들에 제 1 다이를 부착하는 단계 및 하부 리드에 제 1 다이를 와이어 본딩하는 단계를 포함한다.

**대표도** - 도1a



## 특허청구의 범위

### 청구항 1

반도체 패키지로써,  
리드 프레임;  
상기 리드프레임에 인가된 상승 다이 패들 및;  
반도체내 제 1 다이를 지지하기 위해 상기 상승 다이 패들 하단에 부착된 제 1 다이를 포함하는 것을 특징으로 하는 반도체 패키지.

### 청구항 2

청구항 1에 있어서,  
구조적 지지를 제공하기 위해 상기 상승 다이 패들의 일부상에 형성된 엔캡슐란트를 더 포함하는 것을 특징으로 하는 반도체 패키지.

### 청구항 3

청구항 1에 있어서,  
상기 제 1 다이에 부착된 제 2 다이를 더 포함하는 것을 특징으로 하는 반도체 패키지.

### 청구항 4

청구항 3에 있어서,  
상기 제 2 다이가 볼 그리드 어레이(ball grid array, BGA)와 함께 제 1 다이에 부착되는 것을 특징으로 하는 반도체 패키지.

### 청구항 5

청구항 1에 있어서,  
상기 상승 다이 패들이 다이 접착제(die adhesive, DA)로 제 1 다이에 부착되는 것을 특징으로 하는 반도체 패키지.

### 청구항 6

청구항 3에 있어서,  
구조적 지지를 제공하기 위해 상기 제 1 다이와 제 2 다이간에 위치한 언더필 재료를 더 포함하는 것을 특징으로 하는 반도체 패키지.

### 청구항 7

청구항 1에 있어서,  
상기 제 1 다이가 랜드 그리드 어레이(land grid array, LGA) 또는 콰드 플랫 논리디드(quad flat nonleaded, QFN) 패키지로 집적되는 것을 특징으로 하는 반도체 패키지.

### 청구항 8

청구항 1에 있어서,  
상기 제 1 다이에 부착되는 리드 패키지, 어레이 패키지, 플립 칩 다이(flip chip die) 또는 패시브 부품을 더 포함하는 것을 특징으로 하는 반도체 패키지.

### 청구항 9

반도체 패키지 제조 방법에 있어서,

하부 리드와 상승 다이 패들 구조를 갖는 리드프레임을 제공하는 단계;

상기 반도체 패키지에 제 1 다이를 지지하기 위해 DA를 이용하여 상기 상승 다이 패들 구조에 상기 제 1 다이를 부착하는 단계 및;

상기 하부 리드에 상기 제 1 다이를 와이어 본딩하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 10**

청구항 9에 있어서,

제 1 다이와 상승 다이 패들 구조의 상부에 엔캡슐란트를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 11**

청구항 10에 있어서,

전기적 연속성을 위한 상기 반도체 패키지를 시험하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 12**

청구항 11에 있어서,

상기 제 1 다이에 제 2 다이를 장착하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 13**

청구항 12에 있어서,

상기 제 1 다이에 제 2 다이를 장착하는 단계가 볼 그리드 어레이를 이용하 수행되는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 14**

상기 제 2 다이가 리드 패키지, 어레이 패키지, 플립 칩 다이 또는 패시브 부품을 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 15**

청구항 9에 있어서,

제 1 다이가 LGA 또는 QFN 패키지로 직접되는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 16**

반도체 패키지에 있어서,

리드프레임상에 인가된 상승 다이 패들을 갖는 리드프레임;

BGA에 의해 전기적으로 연결되는 제 1, 제 2 다이로서, 상기 제 1 다이는 구조적 지지를 위해 상기 상승 다이 패들에 부착되는 제 1, 제 2 다이;

상기 제 1, 제 2 다이간에 인가된 언더필 재료를 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 17**

청구항 16에 있어서,

구조적 지지를 제공하기 위해 상기 제 1 다이의 일부상에 형성된 엔캡슐란트를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 18**

청구항 16에 있어서,  
 상기 상승 다이 패들이 DA와 함께 상기 제 1 다이에 부착되는 것을 특징으로 하는 반도체 패키지.

**청구항 19**

반도체 패키지 제조 방법에 있어서,  
 하부 리드와 상승 다이 패들 구조를 갖는 리드 프레임을 제공하는 단계;  
 제 2 다이에 웨이퍼 형태의 다수의 다이에 부착된 제 1 다이를 부착하는 단계;  
 상기 다수의 다이로부터 상기 제 1 다이를 싱글레이팅하는 단계 및;  
 상기 제 1 다이를 상기 상승 다이 패들에 부착하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 20**

청구항 19에 있어서,  
 구조적 지지를 위해 상기 제 1, 제 2 다이간에 언더필 재료를 용착하는 단계를 더 포함하는 반도체 패키지 제조 방법.

**청구항 21**

청구항 20에 있어서,  
 상기 제 1 다이를 상기 하부 리드에 와이어 본딩하는 단계를 더 포함하는 반도체 패키지 제조 방법.

**청구항 22**

청구항 21에 있어서,  
 구조적 지지를 위해 상기 제 1 다이와 제 2 다이의 일부상에 엔캡슐란트를 형성하는 단계를 더 포함하는 반도체 패키지 제조 방법.

**청구항 23**

청구항 19에 있어서,  
 상기 제 1 다이를 상기 상승 다이 패들에 부착하는 단계가 DA를 이용해 수행되는 것을 특징으로 하는 반도체 패키지 제조 방법.

**청구항 24**

청구항 19에 있어서,  
 상기 제 1 다이가 LGA 또는 QFN 패키지로 집적되는 것을 특징으로 하는 반도체 패키지 제조 방법.

**명세서**

**기술분야**

<1> 본 발명은 대체로 반도체 소자와 관련되어 있으며 특히 적층형 다이(stacked dies)를 갖는 멀티-칩(multi-chip) 패키지에 관한 것이다.

**배경기술**

<2> 반도체 또는 컴퓨터 칩은 오늘날 실질적으로 제조되는 모든 전자 제품에서 발견된다. 칩은 첨단 산업 및 상업적 전자 제품에서 뿐만 아니라 텔레비전, 세탁기, 건조기, 라디오 및 전화기와 같은 많은 가전 제품에서도 발견된다. 제품이 소형화되고 동시에 보다 기능화됨으로 그 기능을 수행할 수 있도록 축소된 제품에 보다 많은

칩을 포함하게 된다. 하나의 예로 휴대전화의 크기가 축소된 것처럼 더욱 작아진 전자제품에 보다 많은 성능이 갖춰지게 된다.

- <3> 저렴한 비용, 고성능, 증가된 소형화 및 패키징 밀도를 갖는 반도체 소자의 수요로 인해 멀티-칩 모듈(Multi-Chip Module, MCM) 구조가 이 수요를 충족하기 위해 발달되었다. MCM 구조는 하나의 반도체 패키지 내에 다수의 다이와 다른 반도체 부품들이 장착되어 있다. 다수의 다이 및 다른 부품들은 수직, 수평 또는 이 둘의 조합 형식으로 장착될 수 있다.
- <4> 하나의 방법으로는 하나의 다이를 서로의 상단에 증착한 다음 적층된 다이들을 하나의 패키지 내에 동봉하는 것이다. 적층된 다이를 갖는 반도체의 최종적인 패키지는 상기 다이가 개별적으로 패키징될 때보다 훨씬 소형화된다. 축소된 크기를 제공하는 것과 더불어 적층된 다이 패키지는 조작(handling) 또는 조립(assembly)이 용이한 것과 같이 패키지의 제조 방법에 있어 다수의 장점을 제공한다.
- <5> 적층형 다이 배열에 있어서 다이들은 잘 알려진 열 압축(thermal compression) 또는 초음파 와이어 본딩(ultrasonic wire bonding) 기술을 이용하는 자동화 와이어 본딩 장치와 함께 순차적으로 와이어 본딩된다. 와이어 본딩 공정 동안 와이어본딩 장치의 헤드는 용접부(weld)로 이어진 다이상의 와이어 본딩 패드와 접촉해 있는 전도선 상에 압하력을 가하거나 다이상 본딩 패드로 이어진 와이어 와이에 본딩한다.
- <6> 많은 경우에 적층형 다이 반도체는 각 단일의 다이를 갖고 동일한 기능을 수행하는 여러 반도체보다 보다 신속히 패브리케이팅되며(fabricated) 비용도 비교적 저렴하다. 적층형 다이의 방법은 회로 밀도의 증가가 달성됨으로 인해 이로운 점이 있다.
- <7> 적층형 다이를 갖는 반도체 패키지의 낮은 수율 문제를 극복하는 노력에도 문제점은 존재한다. 특히 적층 내의 다이가 조급히 고장나는 경우다. 덧붙여, 최소한 하나의 다이는 종종 다른 액티브(active) 및 패시브(passive) 부품을 덮어 이러한 반도체 패키지의 설계를 더욱 어렵게 한다. 또 기판 상의 본딩 패드 배열이 어려워지면서 다양한 길이의 본딩 와이어가 사용되게 된다. 반도체 패키지 설계 중 이것의 배치뿐만 아니라 다양한 길이를 갖는 본딩 와이어의 기생 인덕턴스(parasitic inductance) 및 기생 캐패시턴스(parasitic capacitance)가 고려되어야 한다.
- <8> 만약 상부 다이가 적층형 다이 내의 하부 다이보다 돌출되어 있는 경우 부족한 수직 지지로 인해 상부 다이의 와이어 본딩동안 상부 다이에 균열이 일어날 수 있다.
- <9> 결과적으로 비교적 작은 다이가 적층형 다이를 갖는 반도체 패키지 내의 보다 큰 다이 상에 배치된다. 다수의 다이를 갖는 반도체 패키지 내의 열 방출은 문제점을 야기한다. 반도체 패키지 내에 더 많은 다이가 배치될수록 열 방출의 문제는 더 커진다.
- <10> 반도체 패키지내 다수의 다이 여부는 반도체 패키지를 생성하는데 있어 다이를 엔캡슐레이팅할때 이용되는 몰딩 컴파운드(molding compound)의 플로우(flow) 문제의 원인이 된다. 적층형 다이를 갖는 반도체 패키지의 또 다른 문제점으로는 적합한 전기적 기본 경로(electrical ground paths)를 설계하는 데에 있다.
- <11> 반도체 패키지 내에 다수의 다이가 적층될 때 반도체 패키지에 보다 접착적인(adhesive) 재료가 이용된다. 접착적인 재료는 수분을 흡수하는 경향이 있기 때문에 다이 상에 유해한 영향을 끼쳐 반도체 패키지의 신뢰성과 사용 기간을 감소시킬 수 있다. 그리고 반도체 패키지와 기판내 적층형 다이의 위치를 정하는데 이용되는 재료간의 열 부정합(thermal mismatch)이 있을 수 있다. 기판과 관련한 다이의 결과적 상대 운동은 다이를 기판에 연결하는 솔더 볼(solder balls)의 신뢰성에 유해한 영향을 끼칠 수 있다.
- <12> 상기 언급된 문제점을 보완하는 비용 효율적인 적층형 다이 배열의 필요성이 있게 된다.

**발명의 상세한 설명**

- <13> 하나의 실시예에서 본 발명은 리드 프레임(leadframe), 상기 리드프레임 상에 인가된 상승 다이 패들(elevated die paddle), 반도체 내 제 1 다이를 지지하기 위한 상승 다이 패들의 하면에 부착된 제 1 다이, 제 1 다이에 부착된 제 2 다이를 포함하는 반도체 패키지이다.
- <14> 다른 하나의 실시예에서 본 발명은 하부 리드와 상승 다이 패들 구조를 갖는 리드프레임을 제공하는 단계, 반도체내 제 1 다이를 지지하기 위해 다이 부착제(die adhesive, DA)를 이용하여 상승 다이 패들에 제 1 다이를 부착하는 단계 및 하부 리드에 제 1 다이를 와이어 본딩(wire bonding)하는 단계를 포함하는 반도체 패키지의 제조 방법이다.

- <15> 또 다른 하나의 실시예에서 본 발명은 리드프레임 상에 인가된 상승 다이 패들을 갖는 리드프레임, 볼 그리드 어레이(ball grid array, BGA)에 의해 전기적으로 연결된 제 1, 제 2 다이, 구조적 지지를 위해 상승 다이 패들에 부착된 제 1 다이, 제 1, 제 2 다이 간에 인가된 언더필(fill) 재료를 포함하는 반도체 패키지이다.
- <16> 또 다른 하나의 실시예에서 본 발명은 하부 리드와 상승 다이 패들을 갖는 리드프레임을 제공하는 단계, 제 2 다이에 제 1 다이를 부착하는 단계, 웨이퍼(wafer) 형식내 다수의 다이에 제 1 다이를 부착하는 단계, 다수의 다이로부터 제 1 다이를 싱글레이팅(singulating)하는 단계 및 다이 부착제와 함께 상승 다이 패들 구조에 제 1 다이를 부착하는 단계를 포함하는 반도체 패키지 제조 방법이다.

**실시예**

- <42> 본 발명은 유사한 참조 번호들이 동일 또는 유사한 부품들을 표시하는 도면들을 참조하는 다음의 설명에서 하나 이상의 실시예들을 참조하여 기술된다.
- <43> 본 발명이 그 목적들을 달성하기 위한 가장 최선 모드 관점에서 기술되지만, 당업자는 첨부된 청구범위에 의해 한정되고, 다음의 설명 및 도면들에 의해 지지되는 본 발명의 정신 및 범위안에 포함될 수 있는 변화, 변형 및 균등물을 커버하려는 것으로 이해할 것이다.
- <44> 적층형 다이 배열을 고려하고 상기 언급된 많은 문제들을 보완하면서 보다 소형화된 반도체 패키지를 제조할 수 있다. 상기 패키지는 보다 용이하게 제조될 수 있으며 종래의 패키지보다 보다 효율적이므로 전체적인 제조 비용이 절감된다.
- <45> 다음에 설명된 반도체 패키지는 상부 다이의 와이어 본딩동안 발생할 수 있는 상부 다이의 균열 빈도를 감소시켜 설계와 적층형 다이를 갖는 반도체 패키지내 다양한 크기의 다이 위치에 대한 추가적인 자유를 제공한다. 덧붙여, 다수의 다이를 갖는 반도체 패키지내 열 방출과 관련한 문제들을 보완하여 주어진 반도체 패키지내 보다 많은 수의 다이가 배치되게 한다.
- <46> 상기 언급된 반도체 패키지는 다수의 다이가 적층되었을때 접착 재료의 양을 감소시켜 패키지내로 흡수될 수 있는 수분의 양 또한 감소시킨다. 최종적으로, 적층형 다이를 갖는 반도체 패키지의 신뢰성이 다음과 같은 설계와 제조 방법을 이용하여 증가된다.
- <47> 도 1a에서 도시한 바와 같이 적층형 다이 배열을 갖는 반도체 패키지(10)가 도시된다. 패키지(10)는 제 1 다이(12)와 볼 그리드 어레이(ball grid array, BGA)로 연결된 제 2 다이(14)를 포함한다. BGA(16)의 이용은 BGA의 안정성으로 인해 와이어 본딩동안 발생하는 상부 다이의 균열을 부분적으로 줄여준다. BGA(16)은 일반적으로 알려진 선행기술로 제조될 수 있다. 언더필 재료(18)은 구조적 지지를 위해 다이(12)의 최상면과 다이(14)의 최하면간에 인가된다. 패키지(10)는 또한 상승 다이 패들 구조(22) 하단에 인가된 하부 리드 구조(20)를 포함한다. 상승 다이 패들(22)과 하부 리드(20)는 다음과 같이 리드 프레임 조립체로 집적된다. 다이 부착제(24)(die adhesive, DA)는 상승 다이 패들(22)에 다이(12)를 본딩(bonding)한다. 와이어 본드(26)는 다이(12)와 하부 리드 구조(20)간의 전기적 전도성을 제공하는 것으로 도시된다.
- <48> 엔캡슐란트(28)(encapsulant)는 다이(12, 14), 최소한 리드(20)의 일부 및 상승 다이 패들(22)에 구조적 지지를 위해 형성되며 이는 완전한 패키지(10)를 만든다. 와이어 본딩(26), DA(24)와 엔캡슐란트(28)는 다양한 재료로 제조될 수 있다. 본드(26), 부착제(24) 및 엔캡슐란트(28)를 포함하는 제조 방법은 일반적으로 알려진 선행 기술을 포함하며 특정한 적용에는 선택될 수 있다.
- <49> 도 1b는 적층형 다이 배열을 갖는 반도체 패키지의 추가적인 실시예를 도시한다. 다시 말해, 다이(12, 14), BGA(16), 언더필(18), 하부 리드(20), 상승 다이 패들(22), DA(24), 와이어 본드(26) 및 엔캡슐란트(28)가 도시된다. 상승 다이 패들(22)과 하부 리드(20)는 리드(20)간에 다이(12)가 수평 평행적으로 안착될 수 있게 맞춰져 있다. 엔캡슐란트(28)는 표면(30)이 특정한 적용에 다이(12)를 노출시킬 수 있는 최하면(30)이 허용될 수 있게 다이(12)의 일부와 리드(20)상에 형성된다.
- <50> 도 1c는 적층형 다이를 갖는 반도체 패키지의 추가적인 실시예를 도시한다. 반도체 패키지(32)는 다이(12)를 대체한다. 패키지(32)는 랜드 그리드 어레이(land grid arrays, LGAs) 또는 콰드 플랫 논리드(quad flat nonlead, QFN)와 같은 내부 적층형 모듈(internal stacking modules, ISMs)을 포함할 수 있다. 다시 말해, 엔캡슐란트(28)는 구조적 지지를 위해 패키지(32)와 다이(14) 주변에 형성된다.
- <51> 도 1d는 추가적인 반도체 패키지(10)를 수신하기 위해 배열된 다이(12)가 일부적으로 노출된 것을 갖는 반도체



패키지(10)를 도시한다. 반도체 패키지(10)는 와이어 본딩가능한 다이(12) 또는 플립 칩 다이(12)를 포함할 수 있다. 엔캡슐란트(28)는 도시된 바와 같이 표면(34)을 부여하기 위해 형성되며 이 표면은 추가적인 제조를 위해 상승 다이 패들(22)의 최상면을 노출하도록 활용될 수 있다.

<52> 도 1e는 노출된 상부와 하부 부분을 갖는 반도체 패키지(10)를 도시한다. 다시 말해, 하부 리드(20)는 다이(12)가 리드들(20)에 평행적으로 안착되게 맞춰진다. 엔캡슐란트(28)는 다이(12)의 최하면과 상승 다이 패들(22)의 상단면을 노출하도록 표면(30, 34)을 형성한다. 도 1e에서 도시된 실시예는 특정한 적용 또는 추가적인 제조에서의 이용을 위한 극소형화된 패키지(10)를 제공한다. 도 1f는 적층형 다이 배열을 갖는 반도체 패키지의 추가적인 실시예를 도시한다. 도 1d에서 도시된 패키지(10)는 특정한 적용을 위해 패키지(32)와 대체되는 다이(12)를 포함한다.

<53> 도 1g는 패키지-온-패키지(PoPo) 배열에 맞춰진 반도체 패키지의 추가적인 실시예를 도시한다. 다시 말해 도 1d에서 도시된 바와 같이 노출된 상승 다이 패들 구조(22)를 갖는 패키지(10)는 패키지-온-패키지(36)를 수신하도록 맞춰질 수 있다. BGA(16)는 PoP(36)에 전기적 전도성을 제공한다. PoP(36)는 리드 패키지, 어레이 패키지(array package), 플립 칩 다이(flip-chip die) 또는 패시브 부품(passive component)을 포함할 수 있다. 도 1d에서 도시된 패키지(10)는 다양한 PoP 옵션을 수용할 수 있는 일반적 구조를 제공한다.

<54> 도 2a는 적층형 배열을 갖는 반도체 패키지 제조 방법 제 1 예의 제 1 단계를 도시한다. 리드프레임(11)은 하부 리드 구조(20)와 상승 다이 패들 구조(22)를 포함하도록 준비된다. 도 2b는 상기 제조 방법의 다음 단계를 도시한다. 다이(12)가 싱글레이팅되지 않은(unsingulated) 웨이퍼 형식의 다수 다이로 존재하는 동안 BGA(16)를 이용해 다이(14)에 연결된다. 따라서 싱글레이팅된 다수의 다이(14)는 웨이퍼 형식으로 다수의 다이(12)에 연결될 수 있다. 도 2c는 상기 제조 방법의 다음 단계를 도시한다. 다이(12, 14)는 도시된 DA(24)를 이용해 상승 다이 패들(22)에 연결된다. 도 2d는 상기 제조 방법의 다음 단계를 도시하며 다이(12)와 다이(14)간에 인가된 언더필 재료(18)와 둘러싸고 보호하는 BGA(16)를 도시한다. 상승 다이 패들(22)은 언더필 재료(18)가 다이(12) 최상면의 주변부에 위치한 와이어 본드 패드로 흐르는 것을 방지하는 댄 역할을 할 수도 있다. 상기 방법의 다음 단계로서, 도 2e는 하부 리드(20)와 와이어 본드 패드(27)간의 와이어 본딩(26)을 도시한다. 최종적으로 도 2f는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 1 예의 마지막 단계를 도시하며 엔캡슐란트(28)가 다이(12, 14), 상승 다이 패들(22) 및 하부 리드(20)의 일부상에 몰딩(molded)되어 완전한 패키지(10)가 형성되는 것을 보여준다.

<55> 도 3a는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 2 예의 제 1 단계를 도시한다. 다시 말해 제 1 단계에는 리드프레임(11)이 상승 다이 패들 구조(22)와 하부 리드(20)를 갖도록 준비된다. 도 3b는 상기 제조 방법의 제 2 단계를 도시하며 다이(12)가 DA(24)를 이용해 상승 다이 패들(22)에 부착되는 것을 보여준다. 다음 단계에서 도 3c는 와이어 본드 패드(27)와 하부 리드(20)간에 용착된 와이어 본드(26)를 도시한다. 다음 단계에서 도 3d는 노출면(34)과 개구(35)(open cavity)를 남겨놓기 위해 다이(12)의 일부상에 엔캡슐란트(28)를 형성하는 것을 도시한다. 반도체 패키지(10)는 완성되는대로 패키지(36)와 같은 추가적인 패키지전에 예비검사(pre-tested)를 받을 수 있으며 상승 다이 패들(22)의 최상단에 장착된다. 다시 말해 패키지(36)와 같은 패키지들은 노출된 상승 다이 패들(22)에 의해 한정된 개구(35)(도 3d 참고)를 통해 다이(12)에 장착되거나 다수의 추가적인 액티브 또는 패시브 소자가 상승 다이 패들에 의해 한정된 개구(35)를 통해 노출된 다이(12)에 장착될 수 있다.

<56> 도 4a에서 도시된 바와 같이, 리드프레임 구조(11) 최상면의 일부는 도 2a와 도 3a에서의 실시예에 따라 도시된다. 리드프레임(11)은 단면들(4b, 4c)을 도시한다. 상승 다이 패들(22)과 하부 리드(20)가 도시된다. 도 4b는 도 4a에서 점선(4b)에 따라 보여지는 리드프레임(11) 구조의 제 1 단면을 도시한다. 다시 말해 상승 다이 패들(22)과 하부 리드(20)가 도시된다. 도 4c는 도 4a에서 점선(4c)에 따라 보여지는 리드프레임 구조의 제 2 단면을 도시한다. 상승 다이 패들(22)과 하부 리드(20)가 상기 언급된 도면과 같이 다시 도시된다.

<57> 도 5a는 적층형 다이를 갖는 반도체 패키지(10) 최상면의 다양한 예 디멘션(dimension)을 도시한다. 다이(12, 14)는 참고의 목적으로 다시 한번 도시된다. 하나의 실시예에서 패키지(10)의 최소 크기로는 7x7(millimeters, mm)이 권장된다. 이와 상응하게, 9x9 mm 패키지(10)를 위한 다이(14)의 최대 크기는 5.2x5.2 mm로 권장되며 7x7 mm 패키지(10)를 위해서는 3.2x3.2 mm 크기의 다이(14)가 권장된다. 도 5a에서 도시된 실시예와 같이 너비(38, 40, 42, 44, 46)는 26 mils, 10 mils, 13 mils, 12 mils, 15 mils와 상응하며 총 너비는 76 mils (1.93 mm)이다. 너비(48)는 약 76 mils (1.93 mm)과 거의 동등하다. 너비(50)는 약 50 mils(1.27 mm)이다. 너비(62)는 약 12 mils이며 다이와 리드프레임 가장자리의 허용으로부터 업셋 벤딩의 시작(upset bending)까지를

말한다. 최종적으로 너비(64)는 약 26 mils(.66 mm)이다.

- <58> 도 5b는 도 5a에서 점선(5b)에 따라 보여지는 적층형 다이 반도체 패키지 제 1 단면의 다양한 예 디멘존을 도시한다. 여기서 높이(52, 54, 56, 58)는 약 6 mils, 8 mils, 4 mils, 8 mils로 총높이는 26 mils(.66 mm)이다. 패키지(10)는 따라서 극소한 높이의 풋프린트(footprint)를 달성할 수 있다. 다이(12)의 최하면에서부터 다이(14)의 최상면까지의 높이는 BGA(16)와 언더필 재료(18)를 포함해서 약 20 mils(.50 mm)이다. 상승 다이 패들(22)내에 안착 가능한 다이(14)는 패키지(10)의 전체적 높이 풋프린트를 감소시키는 역할을 한다. 다시 도 5a의 너비(38, 40, 42, 44, 46)에 상응하는 너비(38, 40, 42, 44, 46)가 도시된다.
- <59> 도 5c는 도 5a에서 점선(5c)에 따라 도시된 적층형 다이 반도체 패키지 제 2 단면의 다양한 예 디멘존을 도시한다. 여기서 너비(48)는 약 76 mils(1.93 mm)이며 너비(50)가 50 mils(1.27 mm)와 상응하는 점도 다시 도시된다. 패키지(10)의 최하면으로부터 상승 다이 패들(22)의 최하면까지의 높이(60)는 약 15 mils(.38mm)이며 다시 한번 작은 높이의 풋프린트를 보여준다. 도시된 실시예에서 상승 다이 패들(22)은 수평 30도의 각도에서 66도를 만든다.
- <60> 도 6은 적층형 다이 패키지(10) 조립방법의 제 1 예(68)를 플로우 차트로 도시한다. 리드프레임이 제공된다(단계 70). 다음은 제 1 다이가 DA와 함께 상승 다이 패들에 부착된다(단계 72). 최종적으로 제 1 다이는 하부 리드에 와이어 본딩된다(단계 74).
- <61> 도 7은 적층형 다이 패키지(10) 조립방법의 제 2 예(76)를 플로우 차트로 도시한다. 리드프레임은 다시 제공된다(단계 78). 다음은 제 1 다이가 제 2 다이에 부착된다(단계 80). 제 1 다이는 다수의 다이로부터 싱글레이팅된다(단계 82). 최종적으로 제 1 다이는 DA와 함께 상승 다이 패들에 부착된다(단계 84).
- <62> 패키지(10)의 사용은 리드프레임 패키지를 위한 적합한 새 적층 개념을 포함한다. 어레이 패키지와 관련된 비용보다 리드 패키지의 비용이 훨씬 저렴하기 때문에 패키지(10)의 이용은 더욱 저렴하지만 신세대의 높은 기능성과 소자 밀도의 필요성은 절충되지 않는다.
- <63> 본 발명의 하나 이상의 실시예가 상세히 기술되었지만, 당업자는 이들 실시예에 대한 변형 및 응용이 다음의 청구범위에 기술된 본 발명의 범위를 이탈하지 않는 한 가능하다는 것을 이해할 것이다.

**도면의 간단한 설명**

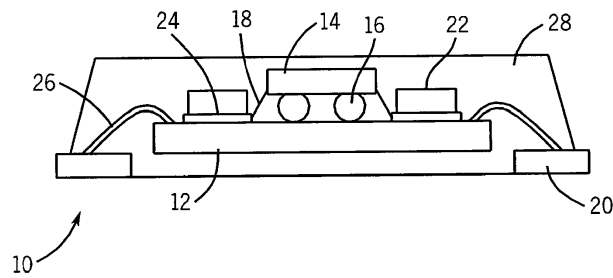
- <17> 도 1a는 적층형 다이 배열을 갖는 반도체 패키지를 도시하는 도면;
- <18> 도 1b는 적층형 다이 배열 즉 노출된 다이 배열을 갖는 반도체 패키지의 추가적인 실시예를 도시하는 도면;
- <19> 도 1c는 적층형 다이 배열을 갖는 반도체 패키지의 추가적인 실시예를 도시하는 도면;
- <20> 도 1d는 와이어 본딩 가능한 다이(wire-bondable die) 또는 플립 칩 다이(flip chip die)를 갖는 추가적인 반도체 패키지를 수신하기 위해 노출된 상승 다이 패들 구조를 갖는 적층형 다이 배열의 반도체 패키지를 도시하는 도면;
- <21> 도 1e는 노출된 상부와 하부 일부를 갖는 반도체 패키지를 도시하는 도면;
- <22> 도 1f는 적층형 다이를 갖는 반도체 패키지의 추가적인 실시예를 도시하는 도면;
- <23> 도 1g는 패키지-온-패키지(package-on-package) 배열에 맞춰진 반도체 패키지의 추가적인 실시예를 도시하는 도면;
- <24> 도 2a는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 1 예의 제 1 단계를 도시하는 도면;
- <25> 도 2b는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 1 예의 제 2 단계를 도시하는 도면;
- <26> 도 2c는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 1 예의 제 3 단계를 도시하는 도면;
- <27> 도 2d는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 1 예의 제 4 단계를 도시하는 도면;
- <28> 도 2e는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 1 예의 제 5 단계를 도시하는 도면;
- <29> 도 2f는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 1 예의 제 6 단계를 도시하는 도면;
- <30> 도 3a는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 2 예의 제 1 단계를 도시하는 도면;



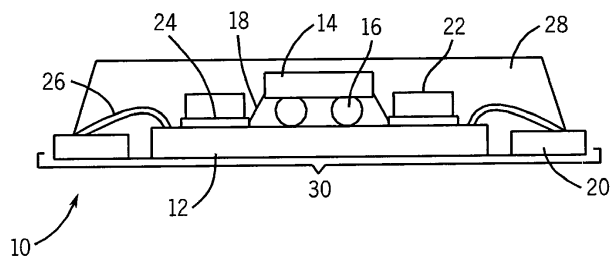
- <31> 도 3b는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 2 예의 제 2 단계를 도시하는 도면;
- <32> 도 3c는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 2 예의 제 3 단계를 도시하는 도면;
- <33> 도 3d는 적층형 다이 배열을 갖는 반도체 패키지 제조 방법 제 2 예의 제 4 단계를 도시하는 도면;
- <34> 도 4a는 실시예에서 리드프레임 구조의 최상면 일부를 도시하는 도면;
- <35> 도 4b는 도 4a에서 도시된 상기 리드프레임 구조의 제 1 단면을 도시하는 도면;
- <36> 도 4c는 도 4a에서 도시된 상기 리드프레임 구조의 제 2 단면을 도시하는 도면;
- <37> 도 5a는 적층형 다이 패키지 최상면의 다양한 예 디멘존(dimension)을 도시하는 도면;
- <38> 도 5b는 적층형 다이 패키지 제 1 단면의 다양한 예 디멘존(dimension)을 도시하는 도면;
- <39> 도 5c는 증착형 다이 패키지의 제 2 단면의 다양한 예 디멘존(dimension)을 도시하는 도면;
- <40> 도 6은 플로우 차트(flow chart) 형식으로 나타낸 적층형 다이 패키지 조립 방법의 제 1 예를 도시하는 방법 및;
- <41> 도 7은 플로우 차트(flow chart) 형식으로 나타낸 적층형 다이 패키지 조립 방법의 제 2 예를 도시하는 방법;

**도면**

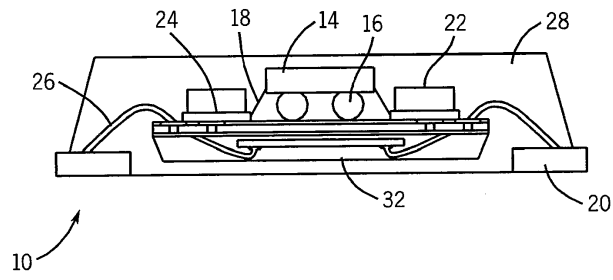
**도면1a**



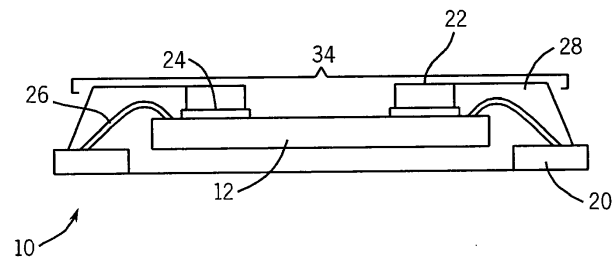
**도면1b**



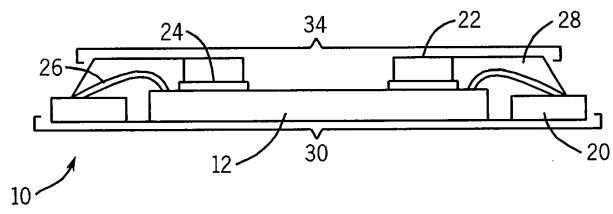
도면1c



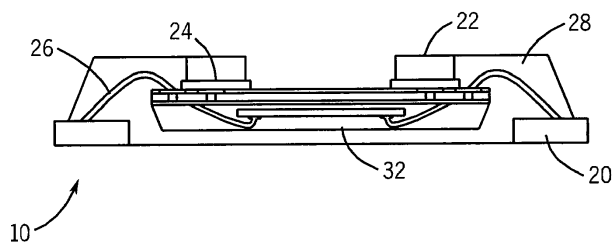
도면1d



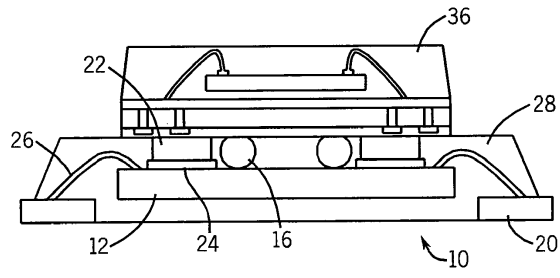
도면1e



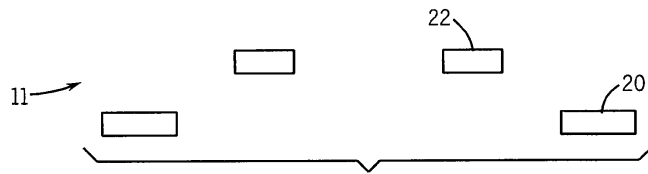
도면1f



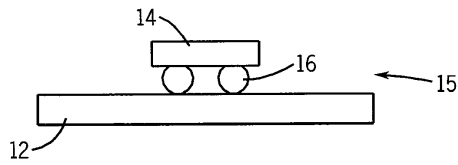
도면1g



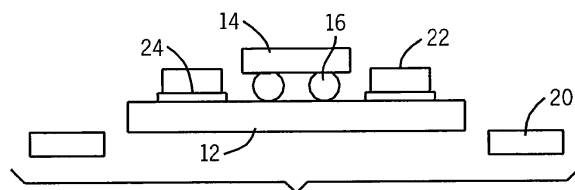
도면2a



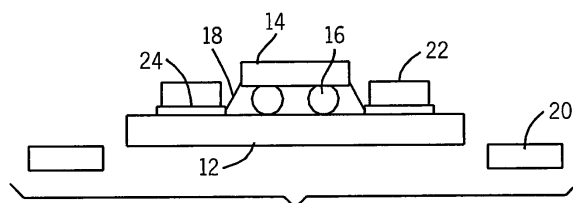
도면2b



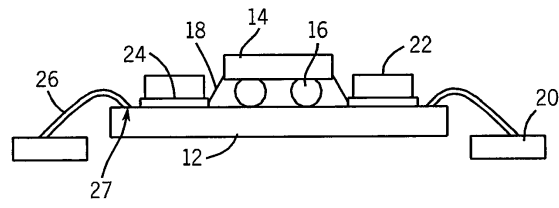
도면2c



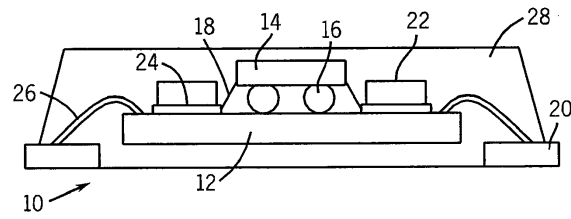
도면2d



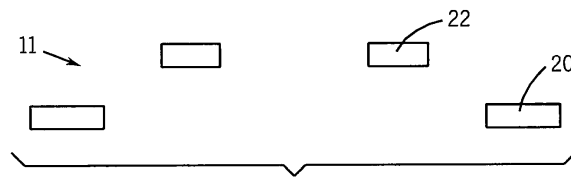
도면2e



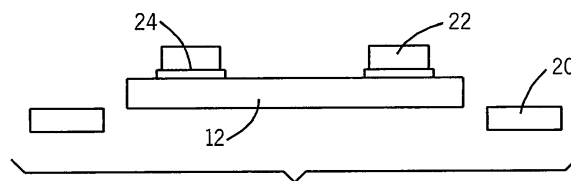
도면2f



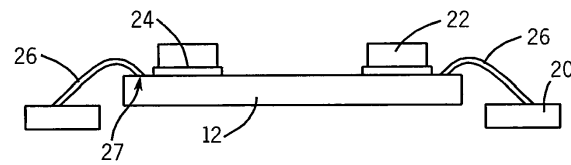
도면3a



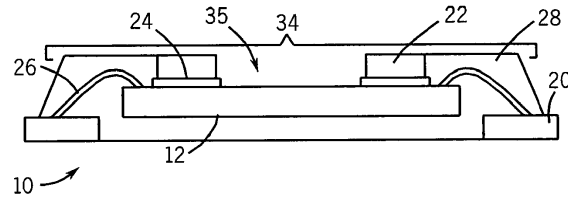
도면3b



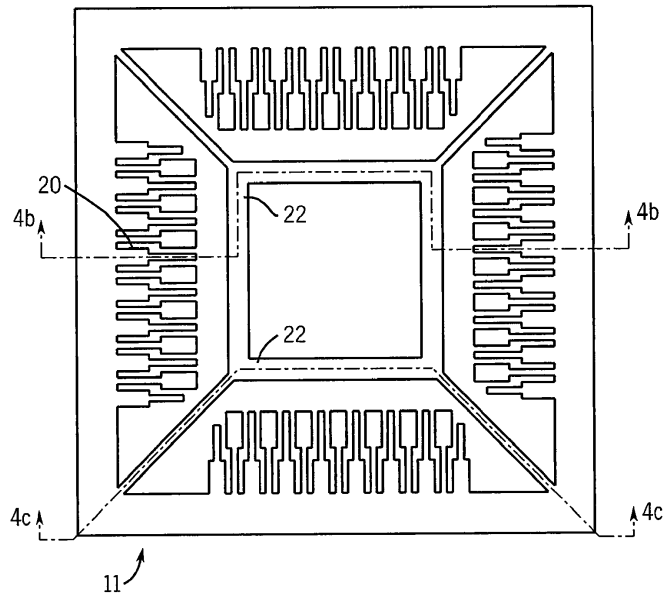
도면3c



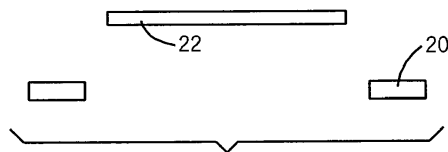
도면3d



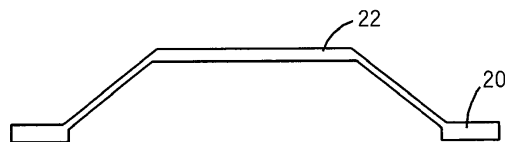
도면4a



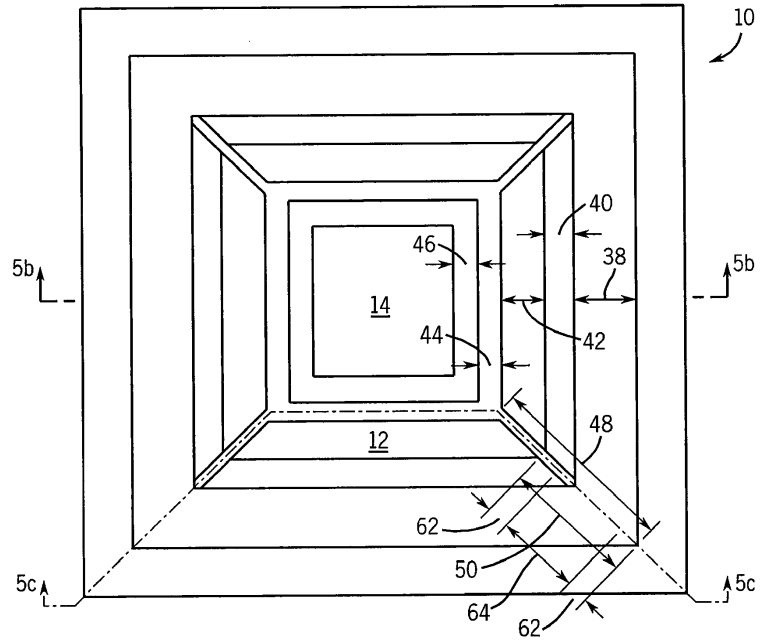
도면4b



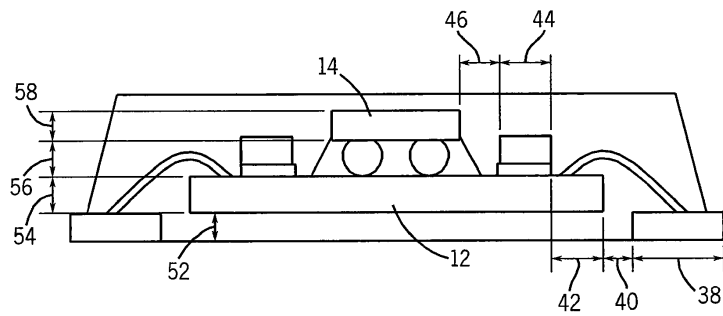
도면4c



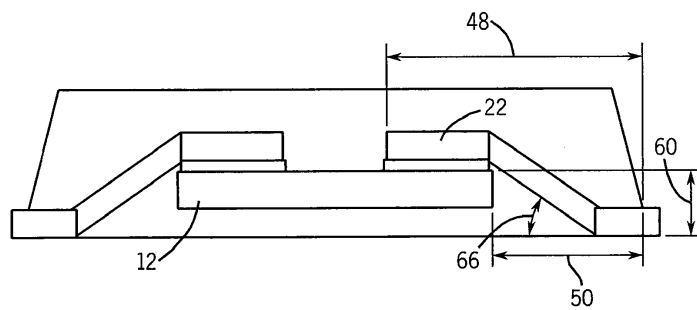
도면5a



도면5b

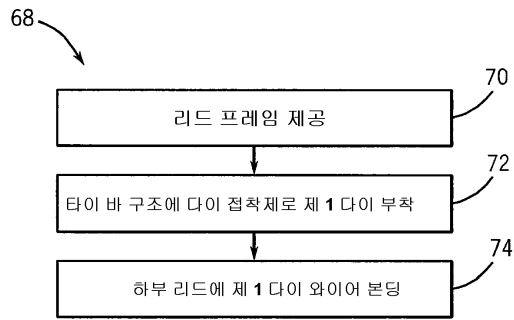


도면5c





도면6



도면7

